PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-205140
(43)Date of publication of application : 05.08.1997

(51)Int.Cl. H01L 21/76
H01L 21/316

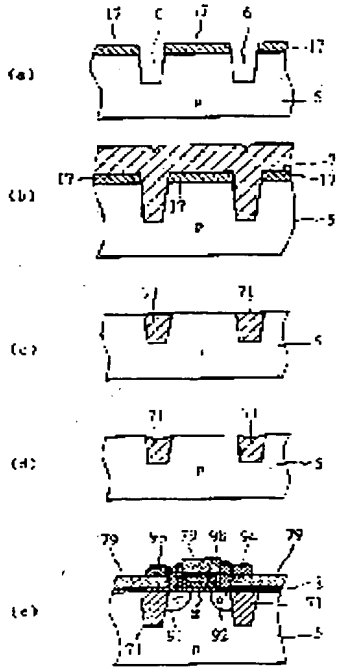
(21)Application number : 08-309590
(22)Date of filing : 20.11.1996

(71)Applicant : TOSHIBA CORP
(72)Inventor : UMEZAWA KAORI
TSUCHIYA NORIHIKO
MATSUSHITA YOSHIAKI
KAMIJO HIROYUKI
YAGISHITA JUNJI
KITA TSUNEHIRO

(30)Priority
Priority number : 07302993 Priority date : 21.11.1995 Priority country : JP

(54) ELEMENT ISOLATED SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a buried element-isolating technique using an organic silicon CVD method or the like such that the generation of crystal defects in an element forming region is restrained.
SOLUTION: A buried element isolated substrate is formed by selectively forming a groove portion 6 at a predetermined position of a semiconductor substrate 5, and embedding an oxide film formed by an organic silicon CVD method into the groove portion 6 as a buried oxide film 7. This buried oxide film 7 is heat-treated at 1100-1350° C before or after flattening of the semiconductor substrate 5. By heat-treatment, at least five membered ring or structure and at most four-membered ring structure in the buried oxide film 7 are constituted at a predetermined ratio.



LEGAL STATUS

[Date of request for examination] 14.09.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平9－205140

(43)公開日　平成９年(1997)８月５日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ　21/76			Ｈ０１Ｌ　21/76	Ｎ	
21/316			21/316		

審査請求　未請求　請求項の数23　ＯＬ　（全 18 頁）

(21)出願番号　特願平8－309590

(22)出願日　平成８年(1996)11月20日

(31)優先権主張番号　特願平7－302993

(32)優先日　平７(1995)11月21日

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者　梅澤　華織
神奈川県川崎市幸区堀川町72番地　株式会社東芝川崎事業所内

(72)発明者　土屋　憲彦
神奈川県川崎市幸区堀川町72番地　株式会社東芝川崎事業所内

(72)発明者　松下　嘉明
神奈川県川崎市幸区堀川町72番地　株式会社東芝川崎事業所内

(74)代理人　弁理士　三好　秀和　（外３名）

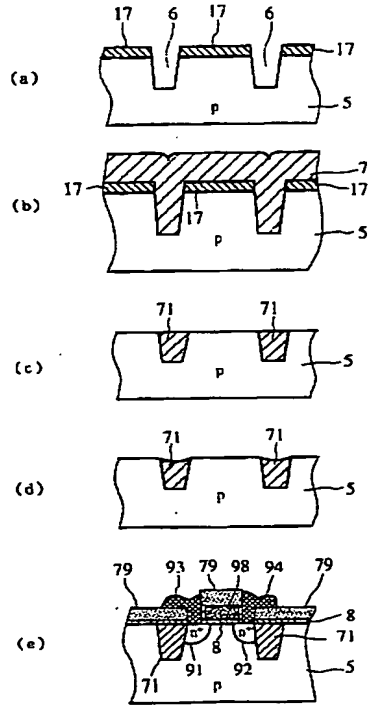
最終頁に続く

(54)【発明の名称】　素子分離半導体基板およびその製造方法

(57)【要約】

【課題】　素子形成領域に結晶欠陥の発生が少ない、有機シリコン系ＣＶＤ法等による埋め込み素子分離法技術を提供する。

【解決手段】　半導体基板の所定の場所に選択的に溝部が形成され、この溝内に有機シリコン系ＣＶＤ法による酸化膜を埋込酸化膜として埋め込んだ埋込素子分離基板であって、この埋込酸化膜は半導体基板の平坦化前又は平坦化の後に１１００℃～１３５０℃で熱処理されている。熱処理により埋込酸化膜中の５員環以上の環構造と４員環以下の環構造が所定の割合であるように構成される。



【特許請求の範囲】

【請求項１】　半導体基板の表面の一部に形成された複数の溝部と、該溝部の内部に形成された埋込酸化膜と、該溝部と溝部との間に形成された素子形成領域とからなる素子分離半導体基板であって、
該埋込酸化膜は有機シリコン系ＣＶＤ法，塗布ガラスの塗布法、又は陽極酸化法のいずれかの方法により形成され、１１００～１３５０℃の温度で熱処理された酸化膜であることを特徴とする素子分離半導体基板。

【請求項２】　前記溝部の深さｄと、前記溝部の開口部の幅l_1の寸法との比で定義されるアスペクト比ｄ／l_1が１０以下であることを特徴とする請求項１記載の素子分離半導体基板。

【請求項３】　前記溝部の開口部の幅l_1を最小スペース幅とし、前記素子形成領域の幅l_2を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義されるl_1とl_2との比l_1/l_2が１．５以下であることを特徴とする請求項１記載の素子分離半導体基板。

【請求項４】　半導体基板の表面の一部に形成された複数の溝部と、該溝部の内部に形成された埋込酸化膜と、該溝部と溝部との間に形成された素子形成領域とからなる素子分離半導体基板であって、該埋込酸化膜は５員環以上の環構造および４員環以下の環構造をそれぞれ所定の割合で含む非晶質シリコン酸化膜であることを特徴とする素子分離半導体基板。

【請求項５】　前記環構造の所定の割合は、前記各環構造に対応するラマンシフトの積分強度の全体の積分強度に対する割合で決定され、５員環以上が実質的に全体の８５％以上、および４員環以下が実質的に全体の１５％以下であるという条件の、いずれか一方、もしくは両方を満たす構造であることを特徴とする請求項４記載の素子分離半導体基板。

【請求項６】　前記埋込酸化膜は有機シリコン系ＣＶＤ法，塗布ガラスの塗布法、又は陽極酸化法のいずれかの方法により形成され、１１００～１３５０℃の温度で熱処理された酸化膜であることを特徴とする請求項４記載の素子分離半導体基板。

【請求項７】　前記溝部の深さｄと、前記溝部の開口部の幅l_1の寸法との比で定義されるアスペクト比ｄ／l_1が１０以下であることを特徴とする請求項４記載の素子分離半導体基板。

【請求項８】　前記溝部の開口部の幅l_1を最小スペース幅とし、前記素子形成領域の幅l_2を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義されるl_1とl_2との比l_1/l_2が１．５以下であることを特徴とする請求項４記載の素子分離半導体基板。

【請求項９】　少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。

（イ）半導体基板の表面の一部に複数の溝部を形成する第１工程

（ロ）該溝部に有機シリコン系ＣＶＤ法により酸化膜を埋め込む第２工程

（ハ）該酸化膜を基板温度１１００℃～１３５０℃で熱処理する第３工程

【請求項１０】　前記第２工程における有機シリコン系ＣＶＤ法は常圧ＣＶＤ法、減圧ＣＶＤ法、プラズマＣＶＤ法、光ＣＶＤ法および液相ＣＶＤ法のうちのいずれかであることを特徴とする請求項９記載の素子分離半導体基板の製造方法。

【請求項１１】　前記第３工程における熱処理はH_2等の還元性ガス、Ｈｅ，Ｎｅ，Ａｒ，Ｋｒ，Ｘｅ等の不活性ガス，O_2，N_2，ＨＣｌ，ＣＯ，およびCO_2のいずれか、又はこれらのうちから選択された２種以上のガスからなる混合ガス中で行なわれることを特徴とする請求項９記載の素子分離半導体基板の製造方法。

【請求項１２】　前記第２工程は、溝部よりも厚く酸化膜を堆積し、その後前記半導体基板の表面が実質的に露出するまで表面を平坦化することを特徴とする請求項９記載の素子分離半導体基板の製造方法。

【請求項１３】　前記第２工程は、溝部よりも厚く酸化膜を堆積する工程であり、前記第３工程の後で、前記半導体基板の表面が実質的に露出するまで表面を平坦化する第４工程をさらに含むことを特徴とする請求項９記載の素子分離半導体基板の製造方法。

【請求項１４】　前記溝部の深さｄと、前記溝部の開口部の溝幅l_1の寸法との比で定義されるアスペクト比ｄ／l_1が１０以下であることを特徴とする請求項９記載の素子分離半導体基板の製造方法。

【請求項１５】　前記溝部の幅l_1を最小スペース幅とし、前記素子形成領域の幅l_2を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義されるl_1とl_2との比l_1/l_2が１．５以下であることを特徴とする請求項９記載の素子分離半導体基板の製造方法。

【請求項１６】　少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。

（イ）第１および第２の主表面を有する第１の半導体基板を用意し、
該第１の主表面に直接接合用酸化膜を有機シリコン系ＣＶＤ法により形成し、基板温度１１００℃～１３５０℃において第１の熱処理を行なった後該第１の主表面を平坦化する第１工程、
又は該第１の半導体基板の該第１の主表面を平坦化後基板温度１１００℃～１３５０℃における第１の熱処理を行なう第１工程

（ロ）該直接接合用酸化膜を介して、該第１の半導体基板と、該第１の半導体基板とは異なる第２の半導体基板とを直接接合し、その後、該第１の半導体基板を所定の

厚みに調整する第２工程
（ハ）該第１の半導体基板の該第２の主表面の一部に複数の溝部を形成する第３工程
（ニ）該複数の溝部に有機シリコン系ＣＶＤ法により埋込酸化膜を形成する第４工程
（ホ）該埋込酸化膜に対して基板温度１１００℃～１３５０℃において第２の熱処理を行う第５工程
【請求項１７】　前記第１および第４工程における有機シリコン系ＣＶＤ法は常圧ＣＶＤ法、減圧ＣＶＤ法、プラズマＣＶ法D、光ＣＶＤ法および液相ＣＶＤ法のうちのいずれかであることを特徴とする請求項１６記載の素子分離半導体基板の製造方法。
【請求項１８】　前記第１および第２の熱処理はH_2 等の還元性ガス、Ｈｅ，Ｎｅ，Ａｒ，Ｋｒ，Ｘｅ等の不活性ガス，O_2，N_2，ＨＣｌ，ＣＯおよびCO_2，のいずれか、又はこれらのうちから選択された２種以上のガスからなる混合ガス中で行なわれることを特徴とする請求項１６記載の素子分離半導体基板の製造方法。
【請求項１９】　前記第４工程は、溝部よりも厚く酸化膜を堆積し、その後前記第１の半導体基板の第２の主表面が実質的に露出するまで表面を平坦化することを特徴とする請求項１６記載の素子分離半導体基板の製造方法。
【請求項２０】　前記第４工程は、溝部よりも厚く酸化膜を堆積する工程であり、前記第５工程の後で、前記第１の半導体基板の第２の表面が実質的に露出するまで表面を平坦化する第６工程をさらに含むことを特徴とする請求項１６記載の素子分離半導体基板の製造方法。
【請求項２１】　前記溝部の深さｄと、前記溝部の開口部の溝幅l_1 の寸法との比で定義されるアスペクト比ｄ／l_1 が１０以下であることを特徴とする請求項１６記載の素子分離半導体基板の製造方法。
【請求項２２】　前記溝部の幅l_1 を最小スペース幅とし、前記素子形成領域の幅l_2 を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいて、該所定の方向で定義されるl_1 とl_2 との比l_1／l_2が１．５以下であることを特徴とする請求項１６記載の素子分離半導体基板の製造方法。
【請求項２３】　少なくとも以下の工程を含むことを特徴とする素子分離半導体基板の製造方法。
（イ）第１および第２の主表面を有する第１の半導体基板を用意し、該第１の主表面の一部に複数の溝部を形成する第１工程
（ロ）該第１の主表面に直接接合用酸化膜を有機シリコン系ＣＶＤにより形成し、基板温度１１００℃～１３５０℃において熱処理を行なった後該第１の主表面を平坦化する第２工程、
又は該第１の主表面を平坦化後基板温度１１００℃～１３５０℃における熱処理を行なう第２工程
（ハ）該直接接合用酸化膜を介して、該第１の半導体基板と、該第１の半導体基板とは異なる第２の半導体基板とを直接接合し、その後該第１の半導体基板の厚みを該直接接合用酸化膜の一部が露出するまで、薄くし、該第１の半導体基板の第２の主表面に該直接接合用酸化膜に囲まれた素子形成領域を形成する第３工程
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明はＬＳＩ等の半導体集積回路用基板およびその製造方法に関するもので、特に半導体集積回路の素子分離技術に係るものである。
【０００２】
【従来の技術】ＬＳＩを形成するには、トランジスタ等の能動素子、又は抵抗やキャパシタ等の受動素子を形成する素子形成領域の周辺に、１つの素子形成領域と他の素子形成領域とを電気的に分離する素子分離領域とを形成することが必要である。ＭＯＳ・ＬＳＩ技術やバイポーラＬＳＩ技術の発展の中でこの素子分離領域を形成するための素子分離技術は常に重要な技術課題の一つであったが、今後もその重要性はますます増大すると考えられる。この素子分離技術の歴史の中で時代を画する一つの展開は、素子形成領域と素子分離領域を自己整合的に区分できるＬＯＣＯＳ（ＬＯＣａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）技術の開発であったと言える。ＬＯＣＯＳ技術（ＬＯＣＯＳ法）は図１５に示すように窒化膜（Si_3N_4 膜）８８をマスクにして選択酸化を行ない、Si_3N_4 膜のない場所のＳｉ表面に形成された酸化膜（SiO_2 膜）８２を素子分離領域の絶縁層として用いるものである。この素子分離技術とポリシリコン配線技術とが相まって今日のＬＳＩ産業の隆盛をもたらしたといっても過言ではない。しかしサブミクロンからディープサブミクロンの微細加工時代に至り、このＬＯＣＯＳ技術もいよいよその限界に近づきつつある。その最大の問題点は、いわゆるバーズビークの存在による素子形成領域（活性領域）の侵食と、フィールド酸化膜形成時の局部的なストレスの発生による結晶欠陥の発生である。とくにバーズビークはＶＬＳＩあるいはＵＬＳＩにとっては高集積化の阻害要因となっており、バーズビークによる侵食を少なくし微細化するためには酸化膜８２の厚さを薄くせざるを得なくなる。しかし酸化膜８２の厚さを薄くすることは、素子間耐圧が低下するという問題を発生させる。これを克服するためにＬＯＣＯＳ法の改良や新しい分離技術が種々提案されている。たとえばＬＯＣＯＳ法をベースとした改良素子分離技術として改良コプラナ法、直接窒化膜マスク方式、あるいはＳＷＡＭＩ（Ｓｉｄｅ　ＷＡｌｌ　Ｍａｓｋｅｄ　Ｉｓｏｌａｔｉｏｎ）等が知られ、さらに選択エピタキシャル法やＵグループ法等も提案されている。これらの素子分離技術に加え、ＢＯＸ（Ｂｕｒｉｅｄ　ＯＸｉｄｅ）法と呼ばれる、図１６に示すような酸化膜埋込み法がサブミクロン寸法、ディープサブミクロン寸法のＶ

ＬＳＩ等における素子分離技術として注目されている。これはシリコン基板５にU溝を形成した後、SiO_2 等の絶縁材料７７をU溝を埋め込むように堆積する素子分離技術である。

【０００３】ＢＯＸ法で用いる絶縁膜堆積技術には、均一性、平坦性、段差被覆性（ステップカバレージ）、膜質、およびプロセスの低温化等の種々の要求が課せられている。このうち特に段差被覆性およびプロセスの低温化が重要である。ギガスケール集積回路（ＧＳＩ）等、ますます高集積化が進む、半導体集積回路の製造には低温で良質な絶縁膜が要求されるのである。この要求に対して従来比較的低温（３００～４５０℃）で形成できるモノシラン（SiH_4）とN_2Oと等を用いたＣＶＤ技術であるＬＴＯ（Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｏｘｉｄｅ）が知られているが、ＬＴＯは形成条件にもよるが一般に段差被覆性が悪く、膜質も劣る。とくに常圧ＣＶＤ法や減圧ＣＶＤ法による酸化膜は引っ張り応力を示し、クラック耐性が弱いという欠点をもつ。

【０００４】これらの要件を鑑み、最近ＴＥＯＳ（テトラエチルオルソシリケート：$Si(OC_2H_5)_4$）を代表とする有機シリコン系材料を用いたＣＶＤ技術の研究が活発となっている。たとえばＴＥＯＳとO_3 の反応によれば４５０℃以下の低温で絶縁膜の形成が可能で、しかも段差被覆性が良好であるからである。

【０００５】

【発明が解決しようとする課題】図１６に示したＢＯＸ法のうちで比較的溝の深さが浅いものは微細化に有利で、シャロウ・トレンチ分離（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ；ＳＴＩ）法とも称せられる。しかしながら、このＳＴＩ法は、ＬＯＣＯＳ法に比し素子を微細化する点では有利であるが、能動素子領域（素子形成領域）となるシリコン等の半導体基板と溝に埋め込まれる絶縁物（例えばシリコンの酸化物）との間で、熱膨脹係数が異なるため、素子分離領域形成中、または素子分離領域形成後のＬＳＩ製造工程中の熱工程によって半導体基板中に応力が生じ、図１６に太い実線で示すような転位１２等の結晶欠陥を発生させることになるという問題があった。特に、シリコン酸化物の形成を有機シリコンソースを原料とした場合、有機シリコンソースの原料精製技術に起因した不純物の問題がクローズ・アップされてきている。すなわち、現状では高純度の有機シリコンソースを得ることが困難であるため、堆積直後はシリコンの酸化物（SiO_2）以外の不純物（例えばH_2O、有機物等）がSiO_2 中に残存あるいは吸着している。したがって、その後の８００～１０００℃の熱工程により、これらの不純物が解離されることに起因する種々の問題点が生じる。有機シリコンソース原料中の不純物としての水分は通常１００～２０ｐｐｍ含まれている。このため、たとえばシリコンデバイスにおいては、シリコン基板と埋込んだSiO_2（埋込み酸化膜）とでは熱膨脹率が異なる上に、埋込み酸化膜中の水分の解離に伴ない、膜収縮が加わり、シリコン基板に過大な圧縮応力が加わるという問題が挙げられる。さらに、図１６に示す従来のＳＴＩ構造は素子分離領域形成中、またはその後の素子製造工程に伴う熱過程において基板に結晶欠陥を導入し易くなるという欠点があった。つまり、従来の有機シリコンソースを用いたＳＴＩ法による素子分離技術は基板表層に転位１２等の結晶欠陥が発生、増殖、伝搬しやすいという一次的な問題点と、これらの問題点に付随して、これらの結晶欠陥が金属不純物を捕獲し易く、素子形成領域（活性領域）に結晶欠陥が多数発生するために接合リーク等の電気的不良が発生しやすいという二次的な問題点があった。

【０００６】特に、実際のＬＳＩ製造プロセスでは、素子分離領域の存在自身に起因する応力の他に、イオン注入によるダメージに起因した応力、さらには電極、層間絶縁膜等のそれぞれ性質の異なる種々の多層膜が形成されていることに付随した応力等が生じており、結晶欠陥が発生し易い。ＳＴＩ構造自身に起因した結晶欠陥とこれ以外に起因した結晶欠陥の相乗的な効果もある。基板中に発生した結晶欠陥は、金属不純物等を捕獲し易くなる。このため従来のＳＴＩ法においては、活性層（素子形成領域）中の結晶欠陥の存在により、接合リークが増大したり、ゲート酸化膜の絶縁破壊が生じる等の電気的不良が発生するという問題があった。したがって素子形成領域に結晶欠陥を発生させない素子分離技術の開発が今後の微細化されたＬＳＩ製造における重要な解決すべき課題であるのである。

【０００７】つまり、微細化されたＧＳＩ，ＵＬＳＩ，ＶＬＳＩ等の素子分離技術においては、バーズビークが存在しないこと、表面が平坦であること、および結晶欠陥が発生しないこと等の条件が要求されるのである。ＳＴＩ法ではバーズビークの問題はないものの、表面の平坦性や結晶欠陥の発生の抑制は重要な解決すべき課題である。

【０００８】上記のような問題点に鑑み、本発明はＳＴＩ法あるいはＳＴＩ法に類似の埋込み素子分離法を用いた半導体装置であって、SiO_2 の応力に起因した素子形成領域に発生する結晶欠陥が低減された高集積密度半導体用の半導体基板を提供することを目的とする。

【０００９】本発明の他の目的はSiO_2 の応力に起因した結晶欠陥を低減し、素子形成領域中のｐｎ接合リーク電流を抑制し、同時に高集積密度化が可能な半導体基板の製造方法を提供することである。

【００１０】本発明のさらに他の目的は、熱酸化膜のエッチングレートと同等なエッチングレートを有した良質な酸化膜を低温で素子分離領域に埋め込むことができる半導体基板の製造方法を提供することである。

【００１１】

【課題を解決するための手段】上記目的を達成するた

め、この発明の第１の特徴は、図１（ｅ），図７（ｆ），図９（ｇ）および図１４（ｅ）に例示するように半導体基板の表面の一部に形成された複数の溝部６と、溝部６の内部に形成された埋込酸化膜７１と、溝部６と溝部６との間の素子形成領域とからなる素子分離半導体基板であって、埋込酸化膜７１は有機シリコン系ＣＶＤ法，いわゆるＳＯＧ（Ｓｐｉｎ－ｏｎ－ｇｌａｓｓ）法と呼ばれる樹脂ガラスの塗布法又は陽極酸化法のいずれかの方法により形成され、その後１１００～１３５０℃の温度で熱処理された酸化膜であることである。ここで「複数の溝部」とは、所定の切断面で観察した場合にその断面において複数が観察されるという意であって、平面パターン上における形状を限定するものではない。すなわち一定の場合においては、平面パターンとしてはこれらの溝部が連続して一つの溝部となっていてもかまわない。たとえば図１の対応する平面図を省略しているが、図１（ａ）に示される複数の溝部６は、図１（ｅ）の中央部に示されるようなn^+ ソース領域９１、n^+ ドレイン領域９２を具備するＭＯＳトランジスタ等が形成される素子形成領域のまわりをぐるりと囲んだ一体の領域として形成されていると解すことが可能であると解釈すべきである。あるいは、図１２に示すように素子形成領域のまわりを埋込酸化膜７１が島状に配置され、完全に囲んでいなくてもよい。いずれにせよ、一定の断面で観察した場合において素子形成領域を挟むように２以上の溝部が存在すれば本発明にいう「複数の溝部」に相当するのである。なお、１３５０℃以上の温度で酸化膜を熱処理しても本発明の目的は達成されるが、熱処理用の反応管や炉等の装置の構成が困難となり、また炉から半導体基板への汚染も問題となるので、現状の技術を考慮すると現実的ではない。また酸化膜の融点以上には高温にできないことは当業者には自明であろう。

【００１２】好ましくは、第１の特徴において，半導体基板の表面に形成されるこれらの溝部６の深さｄと、これらの溝部６の開口部の幅l_1 の寸法との比で定義されるアスペクト比ｄ／l_1 が１０以下であることである。図１０に示すように本発明の第１の特徴はアスペクト比１０以下において素子形成領域に観察される欠陥密度が低減し、アスペクト比１０以上では埋込酸化膜７１の応力の低減化が不十分であり、この応力に起因した欠陥密度は低減しないことが実験的に明らかになったからである。また好ましくは、溝部の幅l_1 を最小スペース幅とし、素子形成領域の幅l_2 を最小ライン幅とした所定の方向のライン・アンド・スペースの繰り返しパターンにおいてこの所定の方向で定義されるl_1 とl_2 との比l_1／l_2が１．５以下であることである。図１３に示すようにl_1／l_2 が１．５以上では１１００℃～１３５０℃の熱処理によっても酸化膜の応力は低減できず、結晶欠陥が発生する。なお、このl_1／l_2 は一定の方向について定義されるものであり、このライン・アンド・スペース・パターンの繰り返しの方向に対して直交するような方向、すなわち図１１（ｂ）の切断面Ｘ－Ｘに直交する方向のパターンであって、最小ライン幅もしくは最小スペース幅とならないような部分のパターン寸法の比は１．５以上となってもかまわない。図１２にはライン・アンド・スペース・パターンが２方向に存在する場合を示した。図１２においてはＸ－Ｘ方向において比l_{1x}／l_{2x}が定義され、Ｙ－Ｙ方向において比l_{1y}／l_{2y}が定義される。このような場合においては少なくとも、いずれか一方の方向において比が１．５以下であればよい。たとえば

l_{1x}／l_{2x}≦１．５　……（１）

l_{1y}／l_{2y}＞１．５　……（２）

であれば（１）式を採用すればよい。逆の場合は（２）式を採用すればよい。もちろん両方向において比l_{1x}／l_{2x}，l_{1y}／l_{2y}が共に１．５以下であつてもかまわない。本発明の「所定の方向で定義されるl_1 とl_2 との比」とは、以上のように、いずれか一つの方向で定義され、その定義された方向における比l_1 ／l_2 が１．５以下であれば、他の方向については問わないという意味に解すべきである。

【００１３】本発明の第２の特徴は、第１の特徴と同様な図１（ｅ），図７（ｆ），図９（ｇ）および図１４（ｅ）に例示するような形状の素子分離半導体基板であって、この埋込酸化膜２５，７１は５員環以上の環構造および４員環以下の環構造をそれぞれ所定の割合で含む非晶質シリコン酸化膜であることである。

【００１４】ここで所定の割合とはラマン散乱分光スペクトルの測定から求められる図４（ａ）および４（ｂ）に示すような３員環、４員環、および５員環以上の多員環構造に対応するそれぞれのラマンシフトの積分強度の全体（全スペクトルの積分強度）に対する割合が所定の割合という意味である。すなわち図４（ａ）および４Ｂ（ｂ）に示すように波数３００～７００cm^{-1}のスペクトル領域を全体とした場合の各ラマンシフトの積分強度の割合を意味する。ここで各ラマンシフトの積分強度は対応するピークを含む所定のスペクトル範囲内で定義される。

【００１５】つまり図５に示すように、(i) ５員環以上に対応するラマシンフトの積分強度比が実質的に全体の８５％以上、(ii) ４員環または３員環に対応するラマンシフトの積分強度比が実質的に全体の１５％以下、という２つの条件の少なく共一方を満たす非晶質シリコン酸化膜（SiO_2 膜）であることにより、埋込酸化膜２５，７１中の応力および埋込酸化膜２５，７１と半導体基板５，１６，２３、との界面の応力が緩和され、素子形成領域中の転位の発生が抑制されることとなる。ここで「実質的に８５％以上」とは図５でエラーバーで示すように約８０％以上程度を許容するという意である。また「実質的に１５％以下」とは約２０％以下程度までが

許容されるという意である。３員環および４員環を共に含む場合は３員環と４員環の和が実質的に１５％以下であればよい。すなわち本発明にいう８５％以上、１５％以下とは図５に示す関係を意味すると解すべきである。なお、本発明の第２の特徴における積分強度比の計算においてはバックグランド成分が除去されていることはもちろんである。本発明の第２の特徴の構造により、素子形成領域中に形成されるｐｎ接合のリーク電流が低減し、良好な特性を有した高密度集積回路が実現できる。なお、本発明の５員環以上を実質的に８５％以上、４員環または３員環を実質的に１５％以下含む酸化膜のエッチング速度（エッチングレート）は図６に示すようにNH_4Fによるエッチングレートが１３０ｎｎ／ｍｉｎ以下となり、熱酸化膜の対応するエッチングレートとほぼ等しい。したがって簡単な５員環以上、４員環の組成の検証としてはエッチングレートを調べればよい。

【００１６】本発明の第３の特徴は、図１（ａ）～（ｅ）又は図７（ｄ）～（ｆ）に例示するような、次の各工程を少なくとも含むことである。すなわち，（イ）図１（ａ）又は図７（ｄ）に示すように半導体基板５，１６の表面の一部に複数の溝部６を形成する第１工程，（ロ）図１（ｂ），（ｃ）又は図７（ｅ）に示すように溝部６に有機シリコン系ＣＶＤ法により酸化膜７，７１を埋め込む第２工程，および（ハ）酸化膜７１を基板温度１１００℃～１３５０℃で熱処理する第３工程、とを少なくとも含むことを特徴とする。「複数の溝部」とは一定の断面で見た場合の概念であることは上述した通りである。有機シリコン系ＣＶＤ法とはＴＥＯＳ（Ｔｅｔｒａｅｔｈｙｌｏｒｔｈｏｓｉｌｉｃａｔｅ；$Si(OC_2H_5)_4$），ＴＭＯＳ（Ｔｅｔｒａｍｅｔｈｏｘｙｓｉｌａｎｅ；$Si(OCH_3)_4$），ＴＰＯＳ（Ｔｅｔｒａｐｒｏｐｏｘｙｓｉｌａｎｅ；$Si(OC_3H_7)_4$）、あるいはＤＡＤＢＳ（Ｄｉａｃｅｔｏｘｙｄｉｔｅｒｔｉａｒｙｂｕｔｏｘｙｓｉｌａｎｅ；$(C_4H_9O)_2Si-(OCOCH_3)_2$）等の有機シリコンソースを原料としたＣＶＤをいう。

【００１７】好ましくは、第２工程における有機シリコン系ＣＶＤ法は常圧ＣＶＤ法、減圧ＣＶＤ法、プラズマＣＶＤ法、光ＣＶＤ法および液相ＣＶＤ法のうちのいずれかであることである。常圧ＣＶＤ法はO_2をオゾナイザーに導入して放電させて形成させたオゾン（O_3）を用いる、いわゆるオゾン系常圧ＣＶＤ法でもよい。減圧ＣＶＤ法（ＬＰＣＶＤ）はたとえばＴＥＯＳ－O_3の反応を６．７ｋＰａ等の減圧化で行うＣＶＤ法をいう。プラズマＣＶＤとは１３．５６MH_zあるいは１５０KH_z程度のプラズマ放電を用いてＴＥＯＳ，O_2，Ｈｅ等のガスソースを用いて行なえばよい。光ＣＶＤ法はＡｒＦ（１９３ｎｍ），ＫｒＦ（２４９ｎｍ），ＸｅＣｌ（３０８ｎｍ），ＸｅＦ（３５０ｎｍ）等によるエキシマレーザ光や高圧水銀ランプ、水銀－キセノンランプ等の，主として紫外光の光エネルギーを用いた光反応により行なえばよい。液相ＣＶＤ法とは、たとえばＲＦ放電により励起されたO_2とＴＭＳ（Ｔｅｔｒａｍｅｔｈｙｌｓｉｌａｎｅ；$Si(CH_3)_4$）を用いた－４０℃でのＣＶＤ等をいう。

【００１８】好ましくは、有機シリコン系ＣＶＤ法による酸化膜はH_2等の還元性ガス、Ｈｅ，Ｎｅ，Ａｒ，Ｋｒ，Ｘｅ等の不活性ガス，O_2，N_2，ＨＣｌ，ＣＯ又はCO_2のいずれか、又はこれらのうちから選択された２種以上のガスからなる混合ガス中で行なわれることである。

【００１９】また、第２工程における埋込酸化膜の形成は、具体的には図１（ｂ）に示すように溝部よりも厚く酸化膜７を堆積し、その後図１（ｃ）に示すように半導体基板５の表面が実質的に露出するまで表面を平坦化するステップを含むことが好ましい。ここで「半導体基板の表面が実質的に露出する」とは、完全に半導体基板５が露出するまでエッチバックする必要は必ずしもなく、たとえば、その後の工程において必要があれば、５０ｎｍ～１００ｎｍ、あるいは３００ｎｍ程度の極めて薄い酸化膜が半導体基板５の表面に残るようにエッチバックして、半導体基板の表面を平坦化しても「実質的に露出している」と解するという意味である。また平坦化の工程と熱処理の工程はどちらが先でもよい。したがって上述とは逆に前記第２工程としては、有機シリコン系ＣＶＤで溝部の深さよりも厚く酸化膜を形成する工程のみとし、第３工程の熱処理後、第４工程として表面の平坦化工程を行ってもよい。

【００２０】本発明の第３の特徴における重要な点は熱処理温度（アニール温度）である。図２は有機シリコン系ＣＶＤ法の後、１０００℃～１３５０℃の間で、５０℃間隔で熱処理を行ない、素子分離半導体基板構造を試作した場合の結果を示す。つまり、この素子分離領域形成後，トレンチとトレンチの間の幅０．３μｍの素子形成領域（ＳＤＧ領域）にＭＯＳトランジスタ等の素子を形成しＭＯＳ集積回路を構成した後の素子分離半導体基板を、表面ＳＥＭ観察した結果である。図２に示すように、１１００℃以下の低温側熱処理温度では転位が多発していることがわかる。これは図１６に太い実線で示した従来のＳＴＩ基板における転位１２と同様の転位である。

【００２１】図２のデータは選択エッチング法で転位ピットを顕在化させてＳＥＭ観察を行ない、１ｍｍ×１ｍｍ角の領域内の転位密度を面内５点において測定し、それらの値を平均した結果である。１０００℃～１１００℃までの熱処理温度では図１６（従来技術）の太い実線と同様の転位１２が約１０個／μm^2発生しているが、それ以上の熱処理温度、すなわち本発明の温度領域では低減していることがわかる。また、上記の素子分離を行なったＳＤＧ領域にＭＯＳトランジスタを形成し、この

ＭＯＳトランジスタ中のｐｎ接合構造に対応するｎ$^{+}$－ｐダイオードの接合リーク特性を測定した結果を図３に示す。１１００℃以上の熱処理をした基板ではリーク電流が低減していることがわかる。この結果は、リーク電流の発生原因であるｎ$^{+}$－ｐウェル接合部の転位が抑制されたことを反映しており、本発明による埋込酸化膜の応力制御が転位抑制、リーク電流低下に有効であることを示すものである。同様な結果は図８に示すバイポーラ集積回路の素子分離に用いた場合も明らかであり、１０００℃以下における熱処理よりも本発明の温度領域（１１００℃～１３５０℃）における熱処理の場合の方が、SiO_2 の応力が緩和され、接合リーク電流が低減していることがわかる。

【００２２】本発明の第４の特徴は、（イ）第１および第２の主表面を有する第１の半導体基板を用意し、第１の半導体基板２３の第１の主表面に図９（ａ）に示すように直接接合用酸化膜２４を有機シリコン系ＣＶＤ法により形成し、基板温度１１００℃～１３５０℃において第１の熱処理を行なった後、その表面を図９（ｂ）に示すように平坦化を行う第１工程、又は平坦化を行った後基板温度１１００℃～１３５０℃における第１の熱処理を行う第１工程，（ロ）図９（ｂ）に示されるように表面が平坦化された直接接合用酸化膜２５を介して、第１の半導体基板２３と、第１の半導体基板２３とは異なる第２の半導体基板２６とを直接接合し、いわゆるＳＯＩ（Ｓｉｌｉｃｏｎ－Ｏｎ－Ｉｎｓｕｌａｔｏｒ）基板を形成し、その後図９（ｃ）に示すようにこの第１の半導体基板２３の裏面を研削、研磨エッチング等によりを所定の厚みに調整する第２工程，（ハ）第１の半導体基板２３の第２の半導体基板２６に対向しない側に位置する第２の主表面の一部に図９（ｄ）に示すように複数の溝部６を形成する第３工程（図９（ｄ）は図９（ｃ）とは表裏を逆転している），（ニ）この複数の溝部６のそれぞれへ有機シリコン系ＣＶＤ法により図９（ｅ）に示すように埋込酸化膜７を形成する第４工程，および（ホ）埋込酸化膜７に対して基板温度１１００℃～１３５０℃において第２の熱処理を行なう第５工程，とを少なくとも含むことである。ここで第１の半導体基板２３と第２の半導体基板２６とは同種の半導体基板である必要はなくＳｉとＳｉＣ等の異種の半導体の組み合わせでもよい。つまりＳｉ以外のIV族，III-V 族，II－VI族半導体および非晶質材質を第１および第２の半導体基板として選ぶこともできる。なお、第１工程における第１の熱処理を省略し、第２工程の直接接合時に第１の熱処理と同一条件の１１００℃～１３５０℃の熱処理を行ってもよい。あるいは第１の熱処理を省略し、第５工程における第２の熱処理によって第１の熱処理を代用してもよい。

【００２３】本発明の第４の特徴の構成によれば、埋込酸化膜７１および直接接合用酸化膜２５の応力が低減され、素子形成領域における転位等の結晶欠陥の発生が抑制される。

【００２４】本発明の第５の特徴は、（イ）第１および第２の主表面を有する第１の半導体基板を用意し、図１４（ａ）に示すように第１の半導体基板２３の第１の主表面の一部に複数の溝部を形成する第１工程，（ロ）図１４（ａ）に示すように第１の半導体基板の第１の主表面に直接接合用酸化膜２５を有機シリコン系ＣＶＤ法により形成し、基板温度１１００℃～１３５０℃において熱処理を行なった後図１４（ｂ）に示すように第１の半導体基板２３の第１の主表面の上部の酸化膜２５を平坦化する第２工程、又は図１４（ｂ）に示すように第１の半導体基板２３の第１の主表面の上部の酸化膜２５を平坦化後基板温度１１００℃～１３５０℃における熱処理を行なう第２工程、および（ハ）直接接合用酸化膜２５を介して、図１４（ｃ）に示すように第１の半導体基板２３と、第１の半導体基板とは異なる第２の半導体基板２６とを直接接合し、その後第１の半導体基板２３の厚みを直接接合用酸化膜２５の一部が露出するまで薄くし、図１４（ｄ）に示すように、第１の半導体基板２３の第２の主表面に、直接接合用酸化膜２５に囲まれた素子形成領域を形成する第３工程，とを少なくとも含むことである。ここで第１の半導体基板２３と第２の半導体基板２６とは同種の半導体基板である必要はなくＳｉとＳｉＣ等の異種の半導体の組み合わせでもよい。つまりＳｉ以外のIV族，III-V 族，II-VI 族半導体および非晶質材質を第１および第２の半導体基板として選ぶことができる。

【００２５】本発明の第５の特徴によれば１回の有機シリコン系ＣＶＤ法により、同時に埋込酸化膜２５と直接接合用酸化膜２５が形成できるので、第４の特徴に比して工程数が減少する。すなわち第１の半導体基板２３の表面に露出した直接接合用酸化膜２５が埋込酸化膜としても機能することとなる。また熱処理工程も第４の特徴に対し少ないのでプロセスの低温化に寄与することになる。

【００２６】本発明の第５の特徴の構成によれば、埋込酸化膜２５および直接接合用酸化膜２５の応力が低減され、素子形成領域における転位等の結晶欠陥の発生が抑制される。

【００２７】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。半導体装置の図面の表現上一般的なことではあるが、以下の図面は正確な寸法を表現したものではなく、模式的なものであると理解すべきである。特に各層の厚みの相対的関係は現実の比率等とは異なことに注意すべきである。

【００２８】（第１の実施の形態）図１（ｅ）は本発明の第１の実施の形態に係るＭＯＳ集積回路用の埋め込み素子分離半導体基板（シャロウ・トレンチ素子分離（ＳＴＩ）半導体基板）の断面構造で、図１（ａ）～（ｄ）

は図１（ｅ）に至るまでの製造方法を示す工程断面図である。本発明の第１の実施の形態に係る素子分離半導体基板は、図１（ｅ）に示すように半導体基板５の表面から形成された溝部の内部に埋込酸化膜７１が形成され、この埋込酸化膜７１と埋込酸化膜７１との間の素子形成領域の間にn^+ ソース領域９１、n^+ ドレイン領域９２、ゲート酸化膜８、ポリシリコンゲート電極９８、ソース電極９３、ドレイン電極９４、および層間絶縁膜７９からなるＭＯＳトランジスタが形成されている。

【００２９】本発明の第１の実施の形態の素子分離半導体基板に形成されたＭＯＳ集積回路は、埋込酸化膜７１の応力が以下に示すような熱処理を施すことにより緩和し、したがって素子形成領域には、従来技術で説明した図１６に示すような転位１２は発生しなくなる。したがって、転位に起因したｐｎ接合リーク電流も低減する。

【００３０】本発明の第１の実施の形態に係る素子分離半導体基板は以下のような工程によって製造できる。

【００３１】（イ）まず面方位（１００）の鏡面シリコン基板の表面にたとえば１００ｎｍのシリコン酸化膜１７を水蒸気酸化法（ウェット酸化法）等により形成し、この酸化膜１７の表面にフォトレジスト（図示省略）を塗布し、フォトリソグラフィ法によりフォトレジストをマスクとして酸化膜１７をエッチングする。このエッチングにより酸化膜１７からなるシリコンエッチング用マスクパターンを形成し、それ以外のシリコン基板５の表面を露出させる。そして、酸化膜エッチングに用いたフォトレジストを除去後、このシリコン基板５の露出部を酸化膜１７をマスクとしてＲＩＥにて図１（ａ）に示すように幅０．３μｍ、深さ１μｍの溝を形成する。シリコン基板５のＲＩＥはたとえばCF_4 とH_2 の混合ガスを１．３Ｐａの圧力で、１３．５６ＭＨｚ の高周波電力を０．２２Ｗ／cm^2 で印加して行なえばよい。あるいはSF_6 とO_2 との混合ガス，又はCCl_4 等でＲＩＥを行ってもよい。

【００３２】（ロ）次に、基板を洗浄後、図１（ｂ）に示すように有機シリコンソース、例えばＴＥＯＳ（$Si(OC_2H_5)_4$）を用いたＣＶＤ法で酸化膜７を形成する。この酸化膜を堆積させる前に熱酸化膜あるはSi_3N_4 を薄く形成させていてもかまわない。この酸化膜７は溝を完全に埋め込むため、溝の深さ以上例えば１．１μｍの厚さでＳｉ基板上の全面に形成する。この溝を埋め込む材料として有機シリコンソースに酸化剤例えばN_2O，O_2，O_3 などを加えたものでもよい。又、有機シリコンソース、SiH_4 などのシリコン水素化合物、$SiCl_4$ などのシリコン塩化物を単独，もしくはこれらの原料の２種類以上を混合して原料としたＣＶＤ法でも溝をシリコン酸化膜で埋め込むこともできるし、それぞれの原料に酸化物を加えてもかまわない。

【００３３】（ハ）続いて図１（ｃ）に示すように、たとえばＣＤＥ法によってエッチバックすることにより溝に埋め込まれた以外の部分のシリコン基板５を外部に露出させ、平坦化させる。

【００３４】（ニ）有機シリコンソースにより形成された埋込み酸化膜７１はSiO_2 以外の不純物、例えば水を多く含有するため、図１（ｄ）に示すように１１００～１３５０℃において熱処理を行なう。図１（ｄ）に示すように熱処理により若干の湾曲（凹部）が生じる。本処理はたとえばN_2 中で２時間程度の熱処理でよいが熱処理の雰囲気ガスはO_2，ＨＣｌ、還元性ガス、不活性ガスでも同様の結果が得られる。なお、素子分離領域以外の基板上の酸化膜を除去して平坦化した後、熱処理を行なう場合について説明したが、先に熱処理した後，素子分離領域以外の基板上の酸化膜７を除去して、平坦化しても同様の効果が得られる。

【００３５】（ホ）最後に、図１（ｅ）に示すようにトレンチとトレンチの間の素子形成領域、すなわちＳＤＧ領域（幅０．３μｍ）にＭＯＳトランジスタを形成する。ＭＯＳトランジスタの形成は、ポリシリコンゲート７８を用いて自己整合的にn^+ドレイン領域９２を形成する標準的なＭＯＳプロセスで形成すればよく、ここでは説明を省略する。

【００３６】図１（ｅ）に示したように素子形成領域にＭＯＳトランジスタを形成した後の、素子形成領域中の転位密度は図２に示すように１個／μm^2 以下である。図２の転位密度の測定結果は、試料を選択エッチング後、ＳＥＭ観察を行ない、１ｍｍ×１ｍｍ角の領域内の５点の平均についてのデータである。

【００３７】図３は上記ＭＯＳトランジスタの構造に対応したＴＥＧパターンのｐｎ接合ダイオードのリーク電流を示す。すなわち、n^+ ソース領域９１とｐウェル５間に形成されるn^+ ｐ接合のリーク電流を図３に示すが、リーク電流が１５ｐＡ以下に低減している。ＴＥＧパターンのダイオード面積は３５０μｍ×２４０μｍであるので、このことは１．７×10^{-8}Ａ／cm^2 以下のリーク電流密度に低減できたことを意味する。図３の結果は、本発明の第１の実施の形態により、リーク電流の発生原因であるn^+ ｐ接合部の転位が抑制されたことを示すものである。

【００３８】図４（ａ），（ｂ）および図５は上記の転位密度の低減化や、リーク電流の低減化を可能にする本発明の第１の実施の形態に係る酸化膜の構造をラマン散乱を用いて調べた結果である。すなわち、まず、シリコン基板に、上記埋め込み絶縁膜の形成方法で酸化膜を面内に均一に形成し、さらに前述の熱処理を施した酸化膜（SiO_2）の構造をラマン散乱分光法により調べた結果である。SiO_2 はラマン散乱断面積が小さく、測定においてはＳｉ基板中からの振動によるラマン散乱のピークが支配的になるので、SiO_2 が表面に形成されているシリコン基板のラマン散乱シフトのスペクトルからSiO_2 膜が形成されていないＳｉ基板の、ラマン散乱

シフトのスペクトルを差し引くことで図４（ａ）に示すような複数のピークを有したSiO_2のラマン散乱のスペクトルが得られる。またこのピークをシミュレーションによって分離すると図４（ｂ）のように、３員環、４員環、および５員環以上の多員環に分離できる。この環状構造の分離の方法は、Ｃ．Ｊ．Ｂｒｅｉｎｋｅｒ ｅｔ ａｌ．．Ｊ．Ｎｏｎ－Ｃｒｙｓｔ．Ｓｏｌｉｄｓ ８２（１９８６）１７７などによって確立されている。図４（ａ）においてアニール１は１０００℃、１時間の熱処理で、アニール２は１１５０℃、１時間の熱処理である。またアニール１，およびアニール２はいずれもN_2ガス雰囲気中の熱処理である。

【００３９】熱処理温度ごとに各ラマンシフトのスペクトルの積分強度を取り、全体の積分強度に対する比（以下積分強度比という）を求めると図５のようになる。全体の積分強度とは波数３００～７００cm^{-1}におけるスペクトルの積分強度で、Ｓｉ基板からのバックグランド値を引いた（除いた）値である。転位の発生が低減する１１００℃から３、４員環の積分強度比は低減し、また５員環以上の多員環の積分強度比が増加していることが分かる。すなわち、SiO_2の環構造において、４員環以下の積分強度比が実質的に全体の１５％以下、もしくは５員環以上の多員環の積分強度比が実質的に全体の８５％以上であれば転位の発生原因である埋め込み材の応力が緩和され、転位を抑制することができることがわかる。ラマン散乱の測定の誤差等を考慮すると、図６に示すように４員環以下は約２０％以下、５員環以上は約８０％以上であれば本発明の効果は得られると言える。

【００４０】図６は本発明の第１の実施の形態に係る酸化膜のエッチングレート（エッチング速度）を示す。本発明の熱処理温度、すなわち１１００℃～１３５０℃で熱処理した酸化膜のNH_4F（フッ化アンモニウム）溶液によるエッチングレートは１３０ｎｍ／ｍｉｎ以下であり、図６の左側に示した熱酸化膜のエッチングレートとほぼ等しい値である。有機シリコン系ＣＶＤ法により堆積し熱処理しない酸化膜、いわゆる「アズ・デポ」の酸化膜は約６５０ｎｍ／ｍｉｎのエッチングレートでNH_4Fによってエッチングされる。したがって本発明の高温アニールにより５員環以上が８０％となる共に、酸化膜のエッチングレートが下がることがわかる。酸化膜のエッチングレートとラマン散乱で測定した５員環以上、３，４員環のSiO_2のそれぞれの含有率はほぼ対応していると言える。

【００４１】なお、本発明の第１実施の形態においては上記（ロ）の工程でＴＥＯＳ等の有機シリコンソースを用いたＣＶＤ法で酸化膜７を形成したが、酸化膜形成方法はこのような有機シリコン系ＣＶＤ以外の方法でもよい。たとえば、いわゆるＳＯＧ（Spin-on-glass:スピン・オン・グラス）法と称せられる方法を用いてもよい。ＳＯＧ法はアセトン，キシレン等の溶剤にポリシロキサン等を溶かした樹脂ガラスをスピンナー等を用いて塗布し、８０℃～１００℃のプリベークで溶剤を取り除き、SiO_2膜を形成する方法である。ＳＯＧ法でSiO_2膜を形成後１１００～１２００℃で熱処理することにより上記と同様の効果が得られる。すなわちＳＯＧ法の場合も、ラマン散乱スペクトルから求められる５員環以上の多員環の積分強度比が実質的に全体の８５％以上、３員環又は４員環の積分強度比が実質的に全体の１５％以下とすることにより、転位が抑制され、リーク電流が低減する。樹脂ガラスについては特公昭５８－５１４２２号公報、米国特許３９８５５９７号公報，４００４０４号公報等に記載されている。これらの樹脂ガラスは市販されており、たとえばAllied Signal-Accuspin 418/720,Allied Signal-Accuglass T-11/T-14,Dow-Corning 805,Owens-Illinois650,General Electric SR125/SR124等を用いればよい。８０℃～１００℃のプリベーク後、６００℃程度の低温アニールを行ない、その後１１００℃～１３５０℃の高温アニールを行うようにしてもよい。

【００４２】（第２の実施の形態）図７（ｆ）は本発明の第２の実施の形態に係るバイポーラ集積回路用素子分離半導体基板の構造を示す断面図で、図７（ａ）～７（ｅ）は図７（ｆ）の構造に至るまでの製造方法を示す模式的な断面図である。本発明の第２の実施の形態に係るバイポーラ集積回路用素子分離半導体基板の製造方法は、

（イ）まず、図７（ａ）に示すようにｐ型のシリコン基板１３の表面に水蒸気酸化により２００～３５０ｎｍのSiO_2膜１４を形成する。

【００４３】（ロ）次にこのSiO_2膜１４をフォトリソグラフィ法を用いて図７（ｂ）に示すようにフォトレジストをマスクとしてパターンニングし、一部のシリコン基板１３の表面を露出させ、拡散マスク１４を形成する。そしてこの拡散マスク１４を用いてＳｂ（アンチモン）を熱拡散させ、不純物密度$3\times10^{20}cm^{-3}$の、n^+埋込層１５を形成する。

【００４４】（ハ）酸化膜除去後、図７（ｃ）に示すように、SiH_4やSiH_2Cl_2等のシラン化合物とドーピングガスとしてのPH_3等のリン化合物をH_2キャリアガスを流しながら高温で分解し基板上に膜厚２．５μｍのｎ層１６をエピタキシャル成長させる。

【００４５】（ニ）次にｎ層１６の上に酸化膜１７を０．３μｍ程形成させフォトリソグラフィ法により酸化膜１７の上にフォトレジストのパターンを形成した後、フォトレジストをマスクにして酸化膜１７に窓を開け、エッチング用マスク１７を形成する。その後フォトレジストを除去し酸化膜１７をマスク層としてｎ層１６の選択的エッチングを行なって図７（ｄ）に示すように、ｎ層１６中に約３μｍの深さの溝を形成する。この選択的エッチングは異方性をもたせるためCCl_4あるいはＣ

$_2Br_2F_4$によるＲＩＥ法を用いる。溝のアスペクト比が大きい場合はSF_6ガスプラズマによる低温マイクロ波プラズマエッチングが好ましい。たとえば基板温度を－８０℃～－１５０℃に冷却してプラズマエッチングを行なえばよい。

【００４６】（ホ）さらに本発明の第１の実施の形態の場合と同様にＴＥＯＳ，ＴＭＯＳ，ＴＰＯＳ等の有機シリコンソースを原料としてＣＶＤ法で図７（ｅ）に示すように溝を埋め込む。

【００４７】（ヘ）最後に、この表面を図８（ｆ）に示すように平坦化を行なった後、１１００～１３５０℃の高温で、N_2雰囲気中で２時間保持し熱処理を行う。この熱処理の雰囲気はN_2ガス以外のO_2，ＨＣｌ、還元性ガス、不活性ガスでも可能である。なお、上記説明とは順序を変更し、ＣＶＤ直後に１１００℃～１３５０℃の熱処理を先に行ない、その後エッチバック、すなわち平坦化しても同様の効果がある。この溝を素子分離領域として、その間にn^+コレクタ引出し領域２０、p^+ベース領域２１、n^+エミッタ領域２２を形成し、図７（ｆ）に示すようにバイポーラトランジスタを完成する。図７（ｆ）には簡単化のためにエミッタ金属電極、コレクタ金属電極や層間絶縁膜等の図示を省略しているが、標準的なバイポーラＩＣの構造であり、これらの金属電極，絶縁膜は当然具備されているものである。

【００４８】図８は本発明の第２の実施の形態に係るｎｐｎバイポーラトランジスタの素子特性をＴＥＧパターンを用いてリーク電流について調査した結果である。p^+ベース領域２１とｎコレクタ領域１６との間でのp^+－ｎ接合に対応したＴＥＧパターンのリーク電流を測定し、各熱処理温度に対してプロットしている。ＴＥＧパターンのダイオード面積は３５０×２４０μｍである。本発明の温度範囲（１１００℃～１３５０℃）においてp^+－ｎ接合のリーク電流は$1.7\times10^{-8}A/cm^2$以下に低下しており、リーク電流発生原因である転位が抑制されていることがわかる。

【００４９】（第３の実施の形態）図９（ｇ）は本発明の第３の実施の形態に係る素子分離半導体基板の断面図で、図９（ａ）～（ｆ）は図９（ｇ）に至るまでの製造方法を示す模式的な断面図である。本発明の第３の実施の形態においてはＢｉＣＭＯＳ集積回路に適用する場合について説明するが、ＭＯＳ集積回路、バイポーラ集積回路、静電誘導トランジスタ（ＳＩＴ）集積回路等にも適用できることはもちろんである。本発明の第３の実施の形態に係るＢｉＣＭＯＳ集積回路用半導体基板の製造方法は、

（イ）まず、図９（ａ）に示すように（１００）面等所定の面方位の第１の主表面（表面）および第２の主表面（裏面）を有したｎ型シリコン基板（半導体基板）２３を用意する。このｎ型シリコン基板２３の表面（第１の主表面）にＣＶＤ法により厚さ１μｍのSiO_2膜５６を形成する。ＣＶＤはＴＥＯＳ，ＨＭＤＳ（Ｈｅｘａｍｅｔｈｙｄｉｓｉｌｏｘａｎｅ；$Si_2O(CH_3)_6$），ＯＭＣＴＳ（Ｏｃｔａｍｅｔｈｙｌｃｙｃｌｏｔｅｔｒａｓｉｌｏｘａｎｅ；$c(OSi(CH_3)_2)_4$）等の有機シリコンソースを用いればよい。

【００５０】（ロ）次に図９（ａ）のSiO_2ＣＶＤをしたｎ型シリコン基板２３を１１００℃～１２００℃、N_2雰囲気中で２時間保持し熱処理する。その後、裏面を吸引固定させながらの機械的及び化学的研磨（ＣＭＰ）法等を用いて酸化膜を０．３μｍの厚さに平坦化して、直接接合（以下「ＳＤＢ」という）用酸化膜２５を図９（ｂ）に示すように形成する。

【００５１】（ハ）次に、表面を鏡面に研磨したシリコン基板２６を別に用意し、ＳＤＢ用酸化膜２５を介して図９（ｃ）に示すようにｎ型シリコン基板２３と、シリコン基板２６とを互いに貼り合わせ、１１００℃で１時間～２時間熱処理することにより、ＳＤＢ基板を形成する。この際電圧を印加して、熱処理してもよい。次にｎ型シリコン基板２３の裏面（第２の主表面）を研磨してｎ型シリコン基板２３の厚みが１μｍとなるように、厚み調整を行なう。なお、シリコン基板の貼り合わせを１１００℃以上で行なえば、実質的に上記（ロ）の熱処理と同等な効果を得ることができるので、上記（ロ）の熱処理を省略して、貼り合わせ時の熱処理で兼ねることも可能である。また貼り合わせ時の熱処理を１２００℃にする方法、あるいは貼り合わせ時の熱処理を１１００℃と１２００℃の２段階で行うことも可能である。

【００５２】（ニ）次に図９（ｃ）の状態を上下逆転し、図９（ｄ）のようにｎ型シリコン基板２３の裏面（第２の主表面）を上とする。このＳＤＢ法により形成したｎ型シリコン基板２３の第２の主表面に３００ｎｍの熱酸化膜１７を形成し、フォトリソグラフィ法により、フォトレジストをマスクとして熱酸化膜１７の一部を所定のパターンにエッチング除去し、さらに熱酸化膜１７のエッチング用マスクとして用いたフォトレジストを除去する。こうして得た熱酸化膜１７をマスクとしてCCl_4，SF_6等によるＲＩＥを用いて、図９（ｄ）に示すように、ｎ型シリコン基板２３の一部を、ＳＤＢ用酸化膜２５が露出するまで深さ１μｍエッチングし、Ｕ溝６を形成する。

【００５３】（ホ）次に、図９（ｅ）に示すようにＴＥＯＳ，ＴＭＣＴＳ（１，３，５，７－ｔｅｔｒａｍｅｔｈｙｌｃｙｃｌｏｔｅｔｒａｓｉｌｏｘａｎｅ；$c(OSiHCH_3)_4$又はＴＥＳ（Ｔｒｉｅｔｈｙｌｓｉｌａｎｅ；$SiH(C_2H_5)_3$）等の有機シリコンソースを用いた減圧ＣＶＤ法（ＬＰＣＶＤ法）等により、SiO_2膜７を１．１～１．５μｍ堆積する。ＬＰＣＶＤ法のかわりにＥＣＲプラズマＣＶＤ法やＩＣＰ－ＣＶＤ法を用いてもよい。このＵ溝６を埋め込む材料として、

有機シリコンソースに酸化剤例えばN_2O，O_2，O_3などを加えたものでもよい。又、有機シリコンソース、SiH_4などのシリコン水素化合物、$SiCl_4$などのシリコン塩化物を単独，もしくはこれらのうちのいずれかの原料の２種類以上を混合して原料としたＣＶＤ法によってもU溝６をシリコン酸化膜７で埋め込むこともできるし、それぞれの原料に酸化物を加えてもかまわない。

【００５４】（ヘ）続いて、ＣＤＥ法等によってＣＶＤSiO_2膜７をエッチバックすることによりU溝６に埋込まれた部分以外のｎ型シリコン基板２３の表面を外部に露出させ、図９（ｆ）に示すように平坦化させる。

【００５５】（ト）図９（ｆ）に示す状態の有機シリコンソースを用いたＣＶＤ法により形成された埋込み酸化膜７１はSiO_2以外の不純物例えば水を多く含有するため、１１００～１３５０℃において熱処理を行なう。この熱処理はたとえばN_2中で２時間程度でよいが、この際の雰囲気ガスはO_2，ＨＣｌ、還元性ガス、不活性ガスあるいはＣＯ，CO_2でも同様の結果が得られる。この熱処理後、埋込み酸化膜７１で囲まれたｎ型シリコン基板２３からなる素子形成領域に、周知のＭＯＳプロセス、バイポーラプロセスを用いて、それぞれＣＭＯＳ回路、バイポーラ回路を構成すれば、図９（ｇ）に示すようなＢｉＣＭＯＳ集積回路が完成する。なお、上記（ロ）の工程における１１００℃～１２００℃の熱処理を省略して、上記（ト）の工程における１１００℃～１３５０℃の熱処理で代用しても、ほぼ本発明の目的を達成できる。この場合は工程の簡略化という利点がある。

【００５６】以上説明したように素子分離絶縁膜として有機シリコンソース、例えばＴＥＯＳを原料としたＣＶＤ法による絶縁材料を用いる場合において、本発明の第３の実施の形態の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明の第３の実施の形態によれば素子形成領域中に形成されたｐｎ接合のリーク電流の値を$1.7\times10^{-8}A/cm^2$以下に低下させることができ、ＢｉＣＭＯＳ集積回路の高性能化が実現できる。

【００５７】なお、上記第１～第３の実施の形態におけるU溝深さｄのU溝幅l_1に対するアスペクト比d/l_1は一例であり、上記の説明のアスペクト比に限られる必要はない。図１０に示すようにアスペクト比d/l_1が１０以下のU溝に埋め込んだ酸化膜を本発明の熱処理条件（１１００℃～１３５０℃）において熱処理すれば、欠陥密度は低下するので、アスペクト比d/l_1は１０以下の値ならば適宜選択してよい。なお、図１０に示すように１０００℃，１０５０℃等の本発明の熱処理条件の範囲外の場合は、アスペクト比d/l_1が１０以下でも欠陥密度は低減しないことがわかる。

【００５８】図１３は一定方向のライン・アンド・スペースの繰り返しパターンにおいて分離溝の幅l_1と、素子形成領域の幅l_2との比l_1/l_2を変えた場合の、素子形成領域における欠陥密度（転位ピット密度）を調べた結果である。すなわち、素子分離領域のU溝６を図１１のように並べたライン・アンド・スペース・パターンにおいて、素子分離領域の幅l_1と素子形成領域の幅l_2の比を０．００３～１０の間で変化させて埋め込み素子分離基板を作製し、その素子形成領域における転位ピットを選択エッチングして顕在化させ測定したものである。図１１（ａ）は図１１（ｂ）のＸ－Ｘ方向断面図である。この場合有機シリコンソースを原料としたＣＶＤ法で酸化膜をU溝中に埋め込み、１０００，１０５０，１１００，１２００，１３５０℃で２時間の熱処理を行って比較した結果が図１３である。図１３に示すようにl_1/l_2が１．５以上で欠陥は増加している。したがって、本発明は素子分離領域の幅l_1が素子形成領域の幅l_2の１．５倍以下で効果があり、この範囲ならば、上記第１～第３の実施の形態におけるl_1/l_2以外の値を任意に選択して用いてもよい。$l_1/l_2\leqq1.5$という条件は一定の方向のライン・アンド・スペース・パターンで定義されるものである。たとえば図１２に示すようにＸ－Ｘ方向のライン・アンド・スペース・パターンとＹ－Ｙ方向のライン・アンド・スペースの方向がある場合は、いずれかの方向おいて定義されるl_{1x}/l_{2x}又はl_{1y}/l_{2y}の値の少なくとも一方が１．５以下であればよい。図１２のようなパターンはＭＯＳ・ＤＲＡＭ等で代表的なパターンである。

【００５９】（第４の実施の形態）図１４（ｅ）は本発明の第４の実施の形態に係る素子分離半導体基板の断面図で、図１４（ａ）～（ｄ）は図１４（ｅ）に至るまでの製造方法を示す模式的な断面図である。本発明の第４の実施の形態においてはＣＭＯＳ集積回路に適用する場合について説明するが、ｎＭＯＳ（集積回路）等他のＭＯＳ集積回路、バイポーラ集積回路、ＢｉＣＭＯＳ集積回路、ＳＩＴ集積回路等にも適用できることはもちろんである。本発明の第４の実施の形態に係るＣＭＯＳ集積回路用半導体基板の製造方法は、

（イ）まず図１４（ａ）に示すように、第１の主表面（表面）および第２の主表面（裏面）を有するｎ型の（１００）面シリコン基板２３を用意し、その第１の主表面の所定の場所に深さ１．２～１．５μmのＶ溝を形成する。所定の場所とは最終的に素子分離領域となる場所という意である。このＶ溝の形成は周知の方法、たとえば、ｎ型シリコン基板２３の表面（第１の主表面）に１５０～３００ｎｍの熱酸化膜を形成し、フォトリソグラフィ法により、熱酸化膜の所定の部分をエッチング除去し、この熱酸化膜をマスクとして、ｎ型シリコン基板２３をＫＯＨ、あるいはエチレンジアミンピロカテコール（ＥＤＰ）等を用いて異方性エッチングすればよい。なお、Ｖ溝は一例であり、本発明の第１～第３の実施の

形態と同様にU溝でもよい。U溝の場合はCCl_4，$SiCl_4$，PCl_3，SF_6等を用いたＲＩＥやＥＣＲイオンエッチングで深さ１．２～１．５μmとなるように形成すればよい。U溝，V溝いずれかの場合も、分離溝の幅l_1と素子形成領域の幅l_2の比l_1/l_2が１．５以下になるようにするのが好ましい。次にＴＥＯＳ，ＤＡＤＢＳ，ＯＭＣＴＳ，ＴＭＳ，ＨＭＤ等の有機シリコンソースを用いたＬＰＣＶＤ法により酸化膜を厚さ１．７～２μm程度形成する。厚さ１．７～２μmとは溝部の形成されていない平坦部の厚さをいう。なお有機シリコンＣＶＤ法のかわりに塗布ガラス（ＳＯＧ）をスピンナー等により塗布してもよい。

【００６０】（ロ）次に図１４（ａ）のSiO_2 ＣＶＤをしたｎ型シリコン基板２３を１２００℃、N_2 雰囲気中で２時間保持し熱処理する。その後、裏面（第２の主表面）を吸込固定させながらのＣＭＰ法等を用いて酸化膜を０．３μmの厚さに平坦化して、ＳＤＢ用酸化膜２５を図１４（ａ）に示すように形成する。この際の雰囲気ガスはO_2，ＨＣｌ、還元性ガス、不活性ガスあるいはＣＯ，CO_2 でも同様の結果が得られる。

【００６１】（ハ）次に、表面を鏡面に研磨したシリコン基板２６を別に用意し、ＳＤＢ用酸化膜２５を介して図１４（ｃ）に示すようにｎ型シリコン基板２３と、シリコン基板２６とを互いに貼り合わせ、１１００℃～１１５０℃で６０分～２時間熱処理することにより、ＳＤＢ基板を形成する。この際減圧（真空）した状態でパルス電圧を印加して、熱処理してもよい。たとえば、０．１Ｐａまで減圧して、８００℃において±３５０Ｖのパルス電圧を１０分程度印加すればよい。

【００６２】（ニ）次にｎ型シリコン基板２３の裏面（第２の主表面）を研磨し、ｎ型シリコン基板２３の厚みが１μmとなるようにすれば、ｎ型シリコン基板２３の裏面にＳＤＢ用酸化膜２５の一部が露出する。図１４（ｄ）はこの状態の基板の断面図を示すが、図１４（ｃ）と上下関係を逆転して、上側にｎ型シリコン基板２３が位置するようになっている。したがって、この工程により、ｎ型シリコン基板の第２の主表面に、埋め込み酸化膜２５で周囲を囲まれた素子形成領域２３が完成することとなる。

【００６３】（ホ）次に図１４（ｅ）に示すような周知のＭＯＳプロセスを用いて素子形成領域２３の内部にｐウェル３１を形成し、さらにｐウェル３１の内部にn^+ソース／ドレイン領域３２，３３、素子形成領域２３のｐウェルの形成されていない部分にp^+ ソース／ドレイン領域３４，３５を形成し、さらにその表面にゲート酸化膜，ポリシリコンゲート電極９８，９８，金属配線を形成すれば、本発明の第４の実施の形態に係るＣＭＯＳ集積回路が完成する。

【００６４】本発明の第４の実施の形態では１回の有機シリコン系ＣＶＤ法（もしくはＳＯＧの塗布）によりＳＤＢ酸化膜と埋め込み酸化膜が同時に形成でき、図９（ａ）～（ｇ）に示した第３の実施の形態よりも工程数が減少し、その分生産性が高くなる。また第３の実施の形態に比して、熱処理工程も少なくなるのでより少ない熱履歴で半導体装置が製造でき、結晶欠陥の低減と微細構造の実現が容易となる。

【００６５】また有機シリコン系ＣＶＤ法は段差被覆性が優れており、しかも熱酸化でＳＤＢ酸化膜を形成するよりも低温かつ短時間で厚い酸化膜が形成できるので、熱酸化の場合のような酸化誘起欠陥（ＯＳＦ）も発生しない。したがって素子形成領域中での結晶欠陥も少なく、結果としてＣＭＯＳ回路中のリーク電流が低減する。また段差被覆性に優れていることから、図１４（ａ）に示すような場合に限らず、種々の凹凸形状を有した基板を用いて、その平坦度に影響されずにＳＯＩ基板を作成することができる。

【００６６】本発明の第４の実施の形態でU溝を用いてもよいことは前述したが、その場合のアスペクト比は１０以下にすることが好ましいことはもちろんである。またV溝の場合もその深さd_vとV溝の表面側の開口部幅l_{v1}との比d_v/l_{v1}が１０以下が好ましい。

【００６７】以上説明したようにＣＭＯＳ集積回路において、素子分離絶縁膜としてＴＥＯＳ等の有機シリコンソースを原料としたＣＶＤによる絶縁材料を用いる場合において、本発明の第４の実施の形態の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明の第４の実施の形態によれば素子形成領域中での形成されたｐｎ接合のリーク電流の値を$1.7\times10^{-8}A/cm^2$以下に低下させることができ、ＣＭＯＳ・ＬＳＩの高性能化が実現できる。

【００６８】なお、上記本発明の第１～第４の実施の形態においては常圧ＣＶＤ法又はＬＰＣＶＤ法でシリコン酸化膜（SiO_2 膜）を堆積させた場合について説明したが、SiO_2 のＣＶＤは液相ＣＶＤ法でも行なうことができる。この場合はO_2 ガスをマイクロ波放電させＴＭＳと反応させ、基板温度を堆積粒子の沸点以下の－４０℃にし、シリコン酸化膜を堆積させればよい。液相ＣＶＤ後、本発明の第１～第４の実施の形態と同様に熱処理を行えば、上記実施の形態と同様の効果が得られる。さらに電解液としてエチレングリコール、Ｎ－メチルアセトアミドを溶媒とし硝酸カリウムを少量加え、シリコン基板を陽極、白金を対向電極とした陽極酸化によってU溝中にSiO_2 膜を形成してもよい。この場合も上記各実施の形態と同様の１１００℃～１３５０℃での熱処理を行なえば、同様の効果が得られる。又、プラズマＣＶＤ法によるSiO_2 膜でU溝を埋め込むことも可能である。

【００６９】

【発明の効果】以上詳述したようにシリコン半導体基板上のＭＯＳ集積回路、バイポーラ集積回路、ＢｉＣＭＯＳ集積回路あるいはＳＩＴ集積回路において、素子分離絶縁膜として有機シリコンソース、例えばＴＥＯＳを原料としたＣＶＤ法による絶縁材料を用いる場合において、本発明の熱処理をすることで応力を低減させ、素子分離領域形成中またはその後の素子製造工程における熱処理中における転位の発生や増殖を低減することができる。したがって、本発明によれば素子形成領域中に形成されたｐｎ接合のリーク電流の値を１．７×１０$^{-8}$Ａ／ｃｍ^{2} 以下に低下させることができ、ＭＯＳＬＳＩやバイポーラＬＳＩ等の集積回路の高性能化が実現できる。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態に係るＭＯＳ集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図２】埋め込み酸化膜の熱処理温度と素子形成領域に発生する結晶欠陥密度の関係を示す図である。

【図３】埋め込み酸化膜の熱処理温度と素子形成領域に形成されたｐｎ接合のリーク電流との関係を示す図である。

【図４】熱処理をした場合（アニール１，アニール２）と、しない場合の酸化膜によるラマン散乱スペクトル図である。

【図５】ラマン散乱の各ピークの積分強度比の、酸化膜の熱処理温度依存性を示す図である。

【図６】熱処理によるエッチング速度の変化を示す図である。

【図７】本発明の第２の実施の形態に係るバイポーラ集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図８】埋め込み酸化膜の熱処理温度と素子形成領域に形成されたｐｎ接合のリーク電流との関係を示す図である。

【図９】本発明の第３の実施の形態に係るＢｉＣＭＯＳ集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

【図１０】溝のアスペクト比と欠陥密度との関係を示す図である。

【図１１】溝の幅と素子形成層の幅との関係を示す図である。

【図１２】２つの方向にライン・アンド・スペース・パターンが存在する場合を示す平面図である。

【図１３】図１１（又は図１２）に示したl_1／l_2と、欠陥密度との関係を示す図である。

【図１４】本発明の第４の実施の形態に係るＣＭＯＳ集積回路用の埋込素子分離半導体基板の製造工程を示す図である。

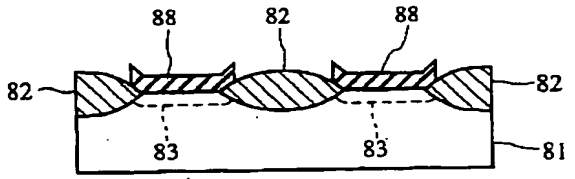
【図１５】従来技術として代表的なＬＯＣＯＳ法による素子分離半導体基板の構造を示す図である。

【図１６】従来の埋込素子分離技術における転位の発生を示す図である。

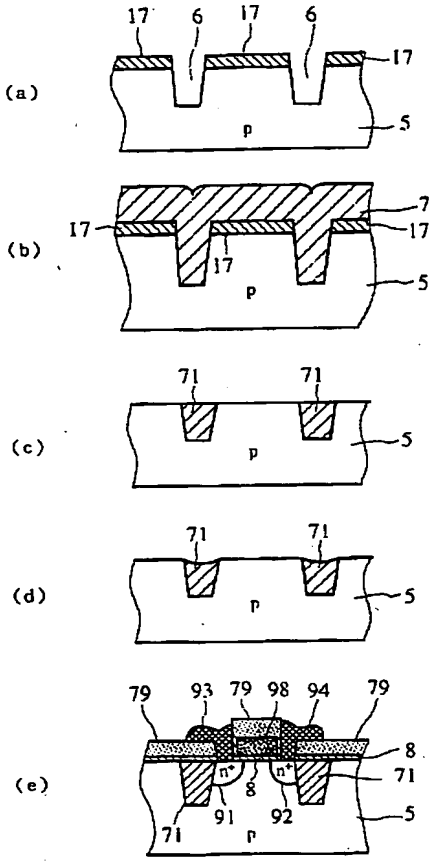
【符号の説明】

５，１３　ｐ型シリコン基板
６　Ｕ溝
７，７１，７７　埋め込み酸化膜
８　ゲート酸化膜
１２　転位
１４，１７　酸化膜
１５　n^+ 埋め込み領域
１６　ｎエピタキシャル成長層
２０　n^+ コレクタ電極取り出し領域
２１　ｐベース領域
２２　n^+ エミッタ領域
２３，８１　シリコン基板
２４，２５　ＳＤＢ用酸化膜
２６　ｎ型シリコン基板
７８，７９　層間絶縁膜
８２　酸化膜
８３　素子形成領域
８８　窒化膜
９１　n^+ ソース領域
９２　n^+ ドレイン領域
９３　ソース電極
９４　ドレイン電極
９８，９９　ポリシリコンゲート電極

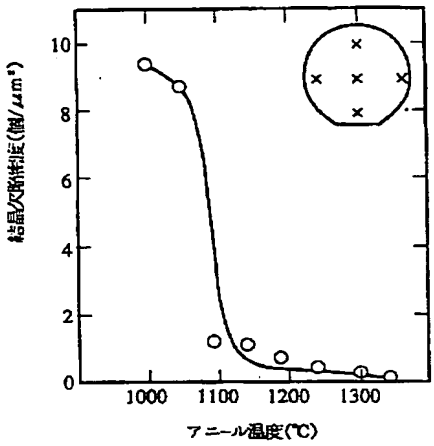
【図１５】



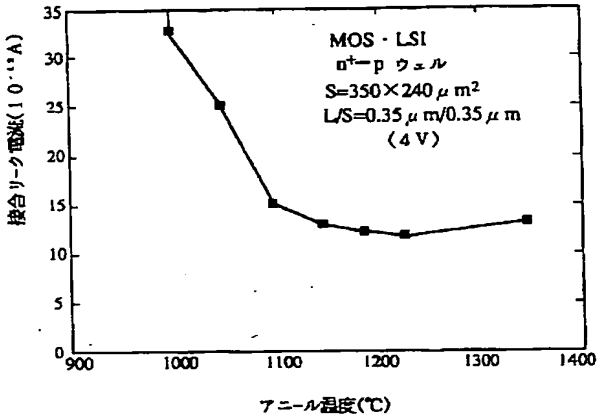
【図１】


(a)
(b)
(c)
(d)
(e)
17
6
p
5
7
71
79
93
98
94
8
n+
91
92

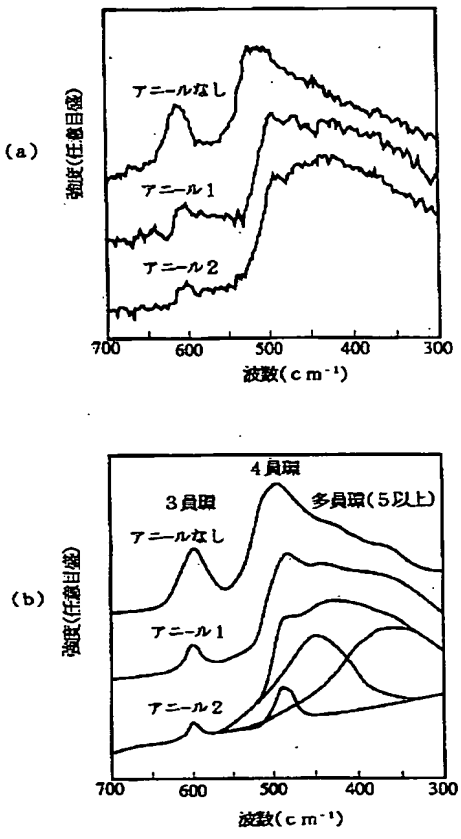
【図２】


結晶欠陥密度(個/μm³)
アニール温度(℃)
1000
1100
1200
1300

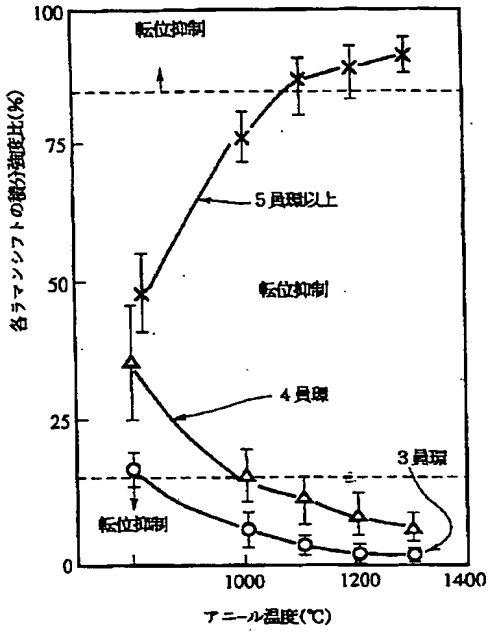
【図３】


MOS・LSI
n+—p ウェル
S=350×240μm²
L/S=0.35μm/0.35μm
(4V)
接合リーク電流(10⁻¹¹A)
アニール温度(℃)
900
1000
1100
1200
1300
1400

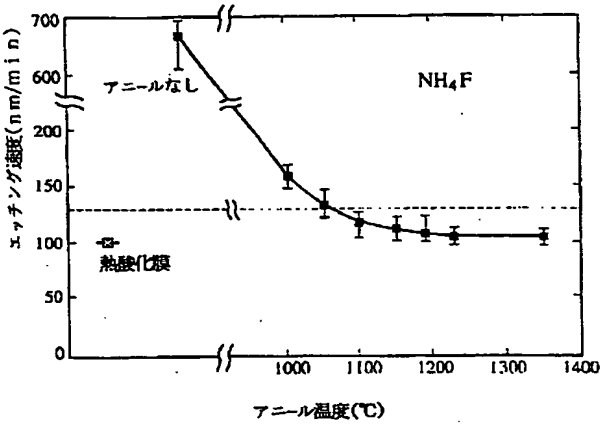
【図４】


(a)
アニールなし
アニール1
アニール2
強度(任意目盛)
波数(cm⁻¹)
700
600
500
400
300
(b)
4員環
3員環
多員環(5以上)
アニールなし
アニール1
アニール2
強度(任意目盛)
波数(cm⁻¹)

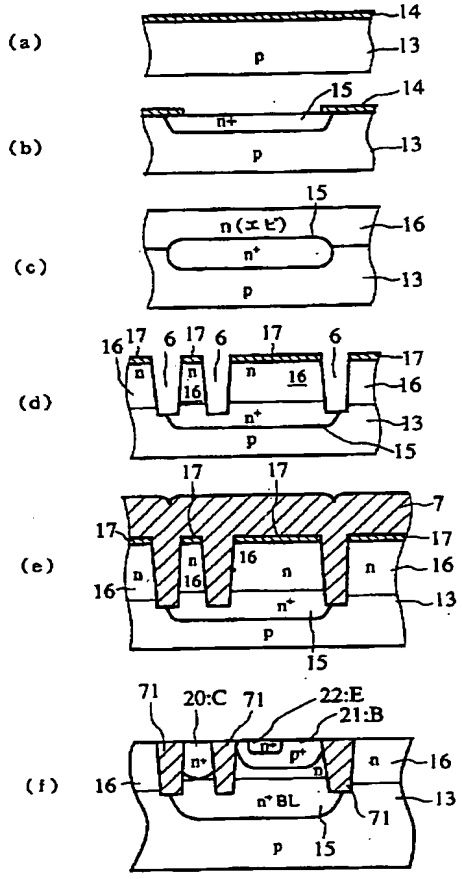
【図５】


転位抑制
5員環以上
転位抑制
4員環
3員環
転位抑制
各ラマンシフトの積分強度比(%)
アニール温度(℃)

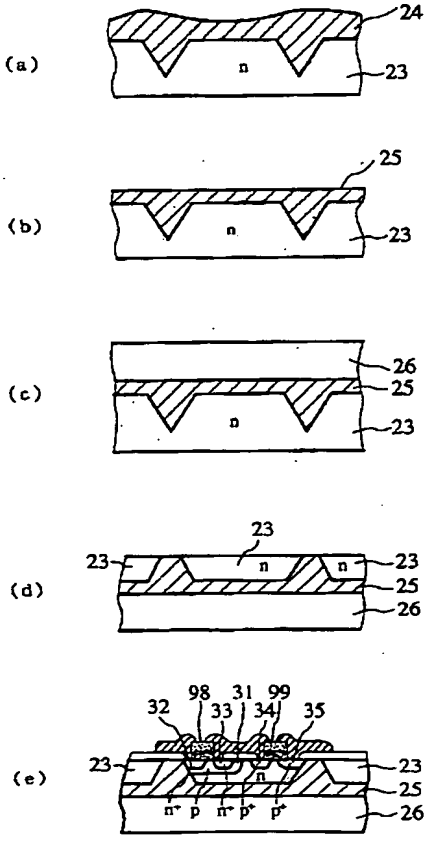
【図６】


アニールなし
NH4F
熱酸化膜
エッチング速度(nm/min)
アニール温度(℃)

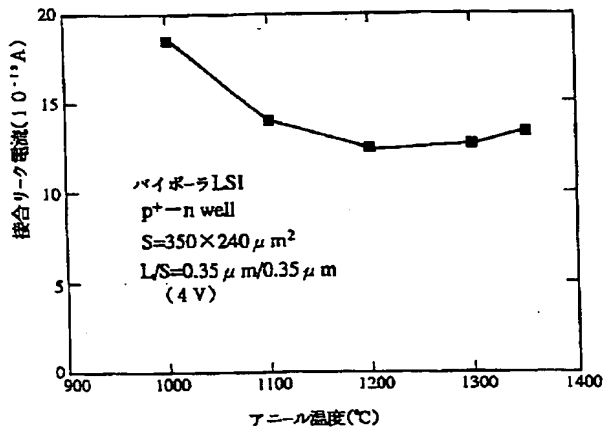
【図７】


(a)
(b)
(c)
(d)
(e)
(f)
n(エピ)
n BL

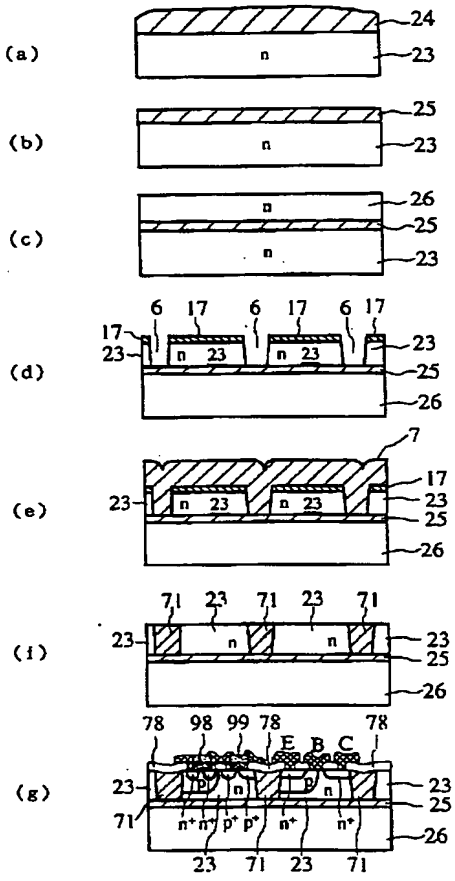
【図１４】


(a)
(b)
(c)
(d)
(e)

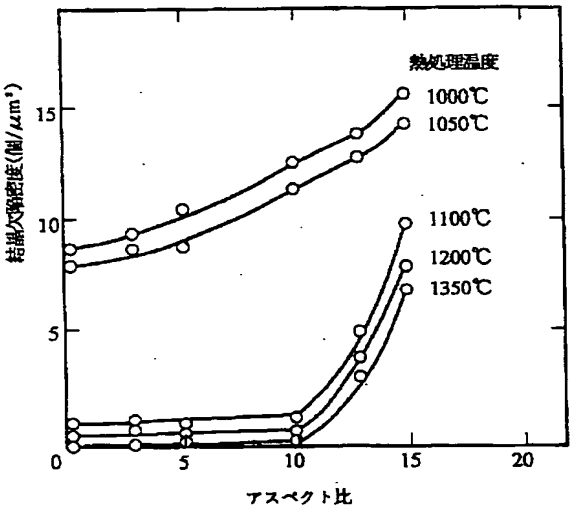
【図８】



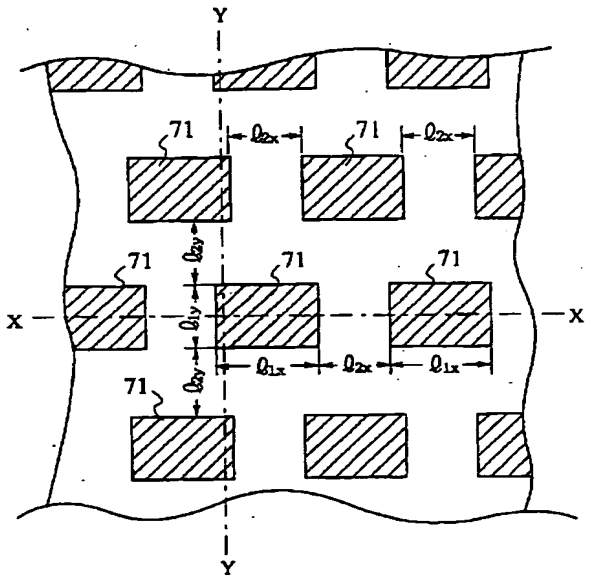
【図９】



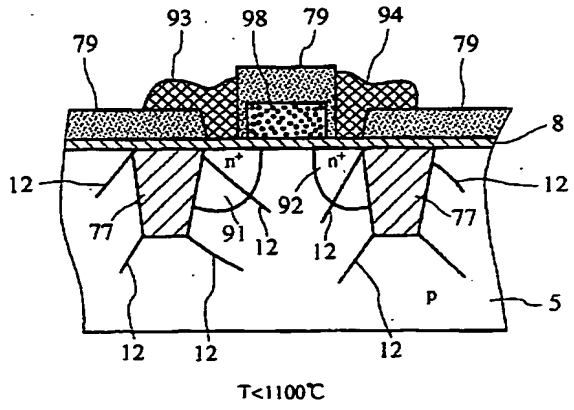
【図１０】



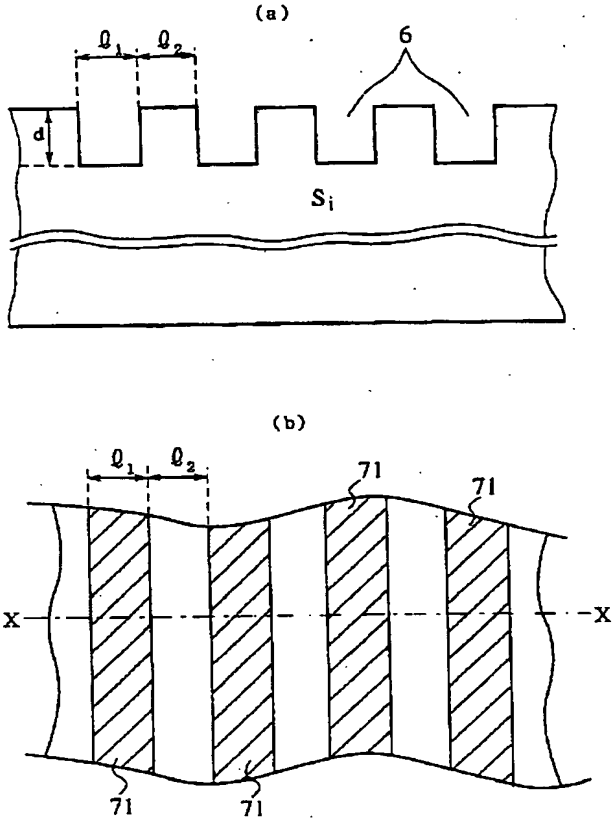
【図１２】



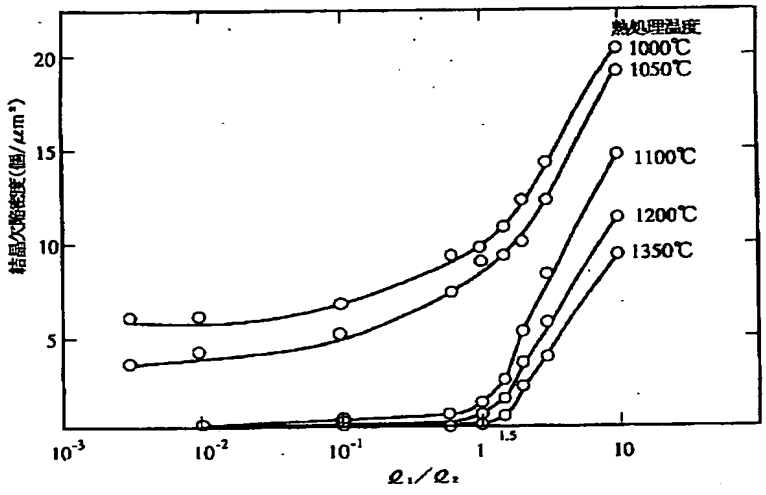
【図１６】



【図１１】


(a)
ℓ_1
ℓ_2
6
d
S_i
(b)
ℓ_1
ℓ_2
71
71
X
X
71
71

【図１３】


熱処理温度
1000℃
1050℃
1100℃
1200℃
1350℃
結晶欠陥密度(個/μm³)
20
15
10
5
10^{-3}
10^{-2}
10^{-1}
1
1.5
10
ℓ_1/ℓ_2

フロントページの続き

(72)発明者　上條　浩幸
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

(72)発明者　八木下　淳史
神奈川県川崎市幸区小向東芝町１　株式会社東芝研究開発センター内

(72)発明者　北　恒博
神奈川県川崎市幸区小向東芝町１　株式会社東芝多摩川工場内

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.